

PATENT ABSTRACTS OF JAPAN

Cite No. 1

(11)Publication number : 10-013219

(43)Date of publication of application : 16.01.1998

(51)Int.Cl.

H03L 7/081

H03K 5/14

(21)Application number : 08-167242

(71)Applicant : MITSUBISHI ELECTRIC CORP

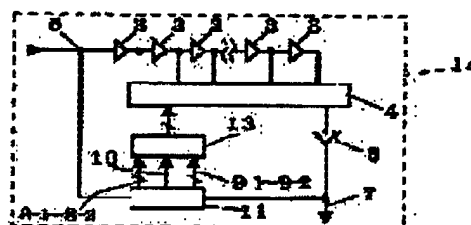
(22)Date of filing : 27.06.1996

(72)Inventor : ISHII SUSUMU

(54) CLOCK SIGNAL DEVIATION PREVENTION CIRCUIT**(57)Abstract:**

PROBLEM TO BE SOLVED: To falsely approximate the comparison characteristic to a linear shape and to shorten the synchronizing time by selecting the output of plural delay elements, connected in series to delay an external clock signal in response to a control signal.

SOLUTION: A phase comparator 11 of a DLL(delay lock loop) circuit 14 compares the phases of external and internal clock signals 6 and 7 with each other. A control signal generation circuit 13 produces the control signals in accordance with the phase differences based on the comparison results 8-1 to 8-2, 9-1 to 9-2 and 10 of the comparator 11. Then plural delay elements 3 are connected in series to delay the external clock signal 6. A multiplexer 4 selects one of elements 3 in accordance with the control signal of the circuit 13. The circuit 13 increases or decreases the number of elements 3 which are changed at a time by a selection circuit, based on the advance/delay information and in accordance with the degree of deviation of clock signals and therefore, can shorten the deviation correction time.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

(10) 日本特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-13219

(53) 公開日 平成10年(1998)1月18日

(51) Int. Cl.	原出願番号	特許出願番号	FI	特許表示箇所
H03L 7/08			H03L 7/08	J
H03K 5/14			H03K 5/14	

特許請求の範囲 請求項の項4 OL (全12頁)

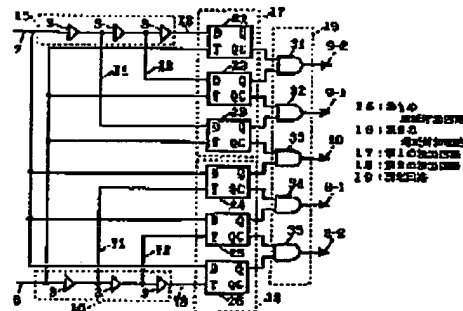
(21) 出願番号	特開平8-167242	(71) 出願人	000006013 三菱電機株式会社 東京都千代田区丸の内二丁目2番3号
(22) 出願日	平成8年(1996)6月27日	(72) 発明者	石井 将 東京都千代田区丸の内二丁目2番3号 三 菱電機株式会社内
		(74) 代理人	弁理士 吉田 茂明 (外2名)

(54) 【発明の名称】 クロック信号のズレを防止する回路

(57) 【要約】

【課題】 外部クロック信号と内部クロック信号とのズレを修正する時間を短縮する。

【解決手段】 位相比較器において、外部クロック信号6と内部クロック信号7とのズレの程度の違いによる格差も含むような比較結果8-1、8-2、9-1、9-2、10を生成する。マルチプレクサは、外部クロック信号を遅延させる遅延素子の選択について、この比較結果に応じた遅延素子の個数の変更を行う。



(2)

特開平10-13219

1

2

【特許請求の範囲】

【請求項1】 外部クロック信号を遅延させるため直列に接続された複数の遅延素子と、

前記複数の遅延素子の出力を制御信号に応じて選択することにより、前記外部クロック信号が通過する遅延素子の個数を変える選択回路と、

前記選択回路が選択した遅延素子の出力から内部クロック信号を生成して内部回路に対し出力するクロックドライバと、

前記外部クロック信号と前記内部クロック信号とを比較し、前記外部クロック信号と前記内部クロック信号との進み遅れの情報およびズレの程度に応じた比較結果を出力する比較器と、

前記比較器の比較結果に応じて前記制御信号を前記選択回路へ出力する制御信号発生回路とを備え、

前記制御信号発生回路は、前記選択回路が一度に実行させる遅延素子の個数を、前記ズレの程度に応じて増減させることを特徴とする、クロック信号のズレを防止する回路。

【請求項2】 前記比較器は、

前記内部クロック信号を遅延させて遅延量の異なる複数の第1の遅延クロック信号を生成する第1の遅延付加回路と、

前記外部クロック信号を遅延させて遅延量の異なる複数の第2の遅延クロック信号を生成する第2の遅延付加回路と、

前記第1の遅延付加回路が出力した前記複数の第1の遅延クロック信号のそれぞれに対し前記外部クロック信号が遅れているか否かを検出する第1の検出回路と、

前記第2の遅延付加回路が出力した前記複数の第2の遅延クロック信号のそれぞれに対し前記内部クロック信号が遅れているか否かを検出する第2の検出回路と、

前記第1および第2の検出回路の検出結果から前記複数の第1の遅延クロック信号の中の前記外部クロック信号に対し遅延量の近い信号または前記複数の第2の遅延クロック信号の中の前記内部クロック信号に対し遅延量の近い信号を判定することにより前記比較結果を生成し出力する判定回路とを備える、請求項1記載のクロック信号のズレを防止する回路。

【請求項3】 前記複数の第1の遅延クロック信号の遅延量は、等差数列でなくその差が漸次増加するように重み付けがなされ、

前記複数の第2の遅延クロック信号の遅延量は、等差数列でなくその差が漸次増加するように重み付けがなされていることを特徴とする、請求項2記載のクロック信号のズレを防止する回路。

【請求項4】 前記第1の検出回路は、前記複数の第1の遅延クロック信号にそれぞれ対応して設けられ、前記外部クロック信号に応じてそれぞれ対応する第1の遅延クロック信号をデータとして取り込む複数の第1のフ

リップフロップ回路を含み、

前記第2の検出回路は、前記複数の第2の遅延クロック信号にそれぞれ対応して設けられ、それぞれ対応する第2の遅延クロック信号に応じて前記内部クロック信号をデータとして取り込む複数の第2のフリップフロップ回路を含み、

前記判定回路は、

前記複数の第1のフリップフロップ回路の中で、データとして取り込む第1の遅延クロック信号の遅延量が近接する2つのフリップフロップ回路の出力の異同を判別する少なくとも一つの第1の判別回路と、

前記複数の第2のフリップフロップ回路の中で、データ取り込みのタイミングを与える前記第2の遅延クロック信号の遅延量が近接する2つのフリップフロップ回路の出力の異同を判別する少なくとも一つの第2の判別回路と、

前記複数の第1の遅延クロック信号の中の遅延量が最も小さい第1の遅延クロック信号をデータとして取り込む第1のフリップフロップ回路の出力に対し、前記複数の第2の遅延クロック信号の中の遅延量が最も小さい第2の遅延クロック信号をデータ取り込みのタイミングを与える信号として用いる第3のフリップフロップ回路の出力の異同を判別する第3の判別回路とを含むことを特徴とする、請求項2または請求項3記載のクロック信号のズレを防止する回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、複数のクロック信号間で発生するクロック信号のズレを防止する回路に関し、特に半導体集積回路装置におけるPLL（Phase Locked Loop：位相同期ループ）回路の一態であるディレイロックループ（Delay Locked Loop）回路に関するものである。

【0002】

【従来の技術】ディレイロックループ回路（以下、DLL回路という。）は、半導体チップに内蔵され、半導体チップの内部と外部でクロック信号の位相を合わせる働きをする回路である。この回路によって、異なるチップ間においても、クロック信号に同期した動作を得られる。図8は、従来のDLL回路の構成を示すブロック図である。図8において、1は外部クロック信号8と内部クロック信号7の立ち上がり位相を比較する位相比較器、2は位相比較器1が比較結果として出力するアップ信号8およびダウン信号9の計数を行うアップダウンカウンタ、3は直列に接続され外部クロック信号8を遅延させるための複数の遅延素子、4は複数の遅延素子3の出力の選択を行う選択回路として働くマルチプレクサ、5はマルチプレクサ4で選択された遅延素子3の出力から内部クロック信号7を生成して内部回路に対し出力するクロックドライバである。

(3)

特開平10-13219

【0003】位相比較器1は、位相同期の基準となる外部クロック信号8とクロックドライバ5から与えられる内部クロック信号7の立ち上がり位相を比較して同期していない場合にアップ信号8またはダウン信号9のいずれかを出力する。アップダウンカウンタ2はアップ信号8またはダウン信号9を受けてそれぞれカウントアップまたはカウントダウンする。遅延素子3は、外部クロック信号8を遅延させる最小単位である。遅延素子3は、例えばインバータ回路を2段直列接続した回路で、入力信号をある一定時間遅延させてから出力する。この遅延素子3は少なくとも2個以上直列接続され、それぞれの接続点から信号線が引出され、マルチプレクサ4に入力される。マルチプレクサ4は、アップダウンカウンタ2の出力に応じて、直列に接続された遅延素子3の複数の接続点の中から1つだけを選択する。チップ外部から供給される外部クロック信号8は、その接続点までの遅延素子3を経由してクロックドライバ5へ供給される。マルチプレクサ4によって選択された接続点までの遅延素子3を経由してクロックドライバ5に入力されるので、チップ内部に供給される内部クロック信号7の立ち上がり位相のずれは、経由する遅延素子3の個数に依存しており、遅延素子3の個数を変化させることによって変更することが可能である。クロックドライバ5は、マルチプレクサ4から出力されるクロック信号をバッファしてチップ内部に供給する。

【0004】位相比較器1の構成の一例を図9に示す。Dリフ回路は、アナログDリフ回路のように同位相性を比較する必要がないので、単純にフリップフロップ回路のみで構成可能である。フリップフロップ回路20のクロック端子（T端子）には外部クロック信号8を入力し、データ端子（D端子）には内部クロック信号7を入力する。外部クロック信号8に対し内部クロック信号7が遅れている場合、外部クロック信号8がロー（L）レベルからハイ（H）レベルに立ち上がった時に内部クロック信号7がまだハイレベルに立ち上がっていないので、フリップフロップ回路20はローレベルをラッチしてQ端子にハイレベルを出力する。逆に、外部クロック信号8に対し内部クロック信号7が進んでいる場合、外部クロック信号8がローレベルからハイレベルに立ち上がった時に内部クロック信号7はすでにハイレベルに立ち上がっているため、フリップフロップ回路20はハイレベルをラッチしてQ端子にハイレベルを出力する。

【0005】外部クロック信号8と内部クロック信号7の立ち上がり位相は、位相比較器1により比較される。図10は位相比較器1の位相比較特性を示すグラフである。図11において、縦軸は外部クロック信号8と内部クロック信号7の位相差で、グラフのプラス領域は内部クロック信号7が遅れていることを表し、マイナス領域は内部クロック信号7が進んでいることを表している。縦軸は、位相比較器1の出力、すなわち一回の位相比較

で増減する遅延素子の数である。このグラフからわかるように、外部クロック信号8に対し内部クロック信号7が遅れているとき、比較器1はアップ信号8を出力する。逆に、外部クロック信号8に対し内部クロック信号7が進んでいるとき、位相比較器1はダウン信号9を出力する。アップダウンカウンタ2はアップ信号8が入力されると外部クロック信号8が経過している遅延素子3を1個減らし、ダウン信号9が入力されると外部クロック信号8が経過している遅延素子3を1個増やす。遅延素子3の総遅延時間を、外部クロック周期に比べて充分大きくし、初期設定を行えば、外部クロック信号8に対し1周期遅れて内部クロック信号7と同期する時間は、外部クロック周期、遅延素子1個当たりの遅延時間などによって変化する。一端的には、遅延素子1個当たりの遅延が大きい場合は小さい場合に比べて、位相同期時間は短い位相同期は大きくなる。

【0006】

【発明が解決しようとする課題】従来のクロック信号のズレを防止する回路は以上のように構成されているので、外部クロック信号8と内部クロック信号7のズレ（位相差を含む。）の大きさは比較器1では判断しておらず、ズレの程度はアップダウンカウンタ2から出力されるアップ信号8およびダウン信号9に反映されない。比較器1は、アップダウンカウンタ2がクロック信号に反応して動作するので、外部クロック信号8より内部クロック信号7が進んでいれば、そのズレの程度に関係なくダウン信号9が出力され、遅れていれば、そのズレの程度に関係なくアップ信号8が出力される。したがって、ズレが大きい場合、同期までにズレの程度に応じた比較回数が必要となり、同期時間が長くなるという問題がある。

【0007】またそのため、同期した後、ノイズなどにより同期が外れた場合、同期状態に復帰するまでに時間がかかり、誤差が大きくなってしまおうという問題がある。

【0008】この発明は上記のような問題点を解消するためになされたもので、クロック信号のズレを防止する回路において、ズレの程度に応じて一度に変更する遅延時間を変化させてやることにより、比較特性を疑似的に線形に近づけ、同期時間の短縮を図ることを目的としており、電源ノイズなどの外乱により同期が外れた場合でも、誤差の増大を抑え、迅速に再同期させることを目的とする。

【0009】

【課題を解決するための手段】第1の発明に係るクロック信号のズレを防止する回路は、外部クロック信号を遅延させるため直列に接続された複数の遅延素子と、前記複数の遅延素子の出力を制御信号に応じて選択することにより、前記外部クロック信号が通過する遅延素子の個数を変える選択回路と、前記選択回路が選択した遅延素

5

子の出力から内部クロック信号を生成して内部回路に対し出力するクロックドライバと、前記外部クロック信号と前記内部クロック信号とを比較し、前記外部クロック信号と前記内部クロック信号との歪み遅れの情報および歪みの程度に応じた比較結果を出力する比較器と、前記比較器の比較結果に応じて前記制御信号を前記選択回路へ出力する制御信号発生回路とを備え、前記制御信号発生回路は、前記選択回路が一度に変化させる遅延素子の個数を、前記歪みの程度に応じて増減させることを特徴とする。

【0010】第2の発明に係るクロック信号のズレを防止する回路は、第1の発明のクロック信号のズレを防止する回路において、前記比較器は、前記内部クロック信号を遅延させて遅延量の異なる複数の第1の遅延クロック信号を生成する第1の遅延付加回路と、前記外部クロック信号を遅延させて遅延量の異なる複数の第2の遅延クロック信号を生成する第2の遅延付加回路と、前記第1の遅延付加回路が出力した前記複数の第1の遅延クロック信号のそれぞれに対し前記外部クロック信号が遅れているか否かを検出する第1の検出回路と、前記第2の遅延付加回路が出力した前記複数の第2の遅延クロック信号のそれぞれに対し前記内部クロック信号が遅れているか否かを検出する第2の検出回路と、前記第1および第2の検出回路の検出結果から前記複数の第1の遅延クロック信号の中の前記外部クロック信号に対し遅延量の近い信号または前記複数の第2の遅延クロック信号の中の前記内部クロック信号に対し遅延量の近い信号を判定することにより前記比較結果を生成し出力する判定回路とを備えて構成される。

【0011】第3の発明に係るクロック信号のズレを防止する回路は、第2の発明のクロック信号のズレを防止する回路において、前記複数の第1の遅延クロック信号の遅延量は、等差級数的でなくその差が漸次増加するよう歪み付けがなされ、前記複数の第2の遅延クロック信号の遅延量は、等差級数的でなくその差が漸次増加するよう歪み付けがなされていることを特徴とする。

【0012】第4の発明に係るクロック信号のズレを防止する回路は、第2または第3の発明のクロック信号のズレを防止する回路において、前記第1の検出回路は、前記複数の第1の遅延クロック信号にそれぞれ対応して設けられ、前記外部クロック信号に反応してそれぞれ対応する第1の遅延クロック信号をデータとして取り込む複数の第1のフリップフロップ回路を含み、前記第2の検出回路は、前記複数の第2の遅延クロック信号にそれぞれ対応して設けられ、それぞれ対応する第2の遅延クロック信号に反応して前記内部クロック信号をデータとして取り込む複数の第2のフリップフロップ回路を含み、前記判定回路は、前記複数の第1のフリップフロップ回路の中で、データとして取り込む第1の遅延クロック信号の遅延量が近接する2つのフリップフロップ回路

(4)

特開平10-13219

6

の出力の異同を判断する少なくとも一つの第1の判別回路と、前記複数の第2のフリップフロップ回路の中で、データ取り込みのタイミングを与える前記第2の遅延クロック信号の遅延量が近接する2つのフリップフロップ回路の出力の異同を判断する少なくとも一つの第2の判別回路と、前記複数の第1の遅延クロック信号の中の遅延量が最も小さい第1の遅延クロック信号をデータとして取り込む第1のフリップフロップ回路の出力に対し、前記複数の第2の遅延クロック信号の中の遅延量が最も小さい第2の遅延クロック信号をデータ取り込みのタイミングを与える信号として用いる第2のフリップフロップ回路の出力の異同を判断する第3の判別回路とを含むことを特徴とする。

【0013】

【発明の実施の形態】

実施の形態1. 以下、この発明の実施の形態1によるクロック信号のズレを防止する回路（DLL回路）について図1～図3を用いて説明する。ここでは、説明を簡単にするために、外部クロック信号6と内部クロック信号7は互いにそのデューティ比（1周期中のハイレベルの割合の割合）が同じものであるとしてDLL回路について説明する。図1はこの発明の実施の形態1によるDLL回路の構成を示すブロック図である。図1において、14はDLL回路、11は外部クロック信号6と内部クロック信号7の位相を比較する位相比較器、13は位相比較器11の比較結果8-1、8-2、9-1、9-2および10に基づいて位相差に応じた制御信号を発生する制御信号発生回路、3は外部クロック信号6を遅延させるため直列に接続されるとともにそれぞれの接続点から信号線が引き出される複数の遅延素子、4は制御信号発生回路13が出力した制御信号に応じて複数の遅延素子3の接続点の中から一つだけ選択する選択回路として働くマルチプレクサ、5はマルチプレクサ4で選択された遅延素子3の出力から内部クロック信号7を生成してチップ内部の内部回路に対し出力するクロックドライバである。遅延素子3は、外部クロック信号6を遅延させる最小単位である。制御信号発生回路13は、位相比較器11の比較結果に応じて遅延素子3を増減するため、この増減する個数に関する制御信号をマルチプレクサ4に伝達する。例えば、制御信号発生回路13は、従来のあるエンコーダで構成できる。この制御信号発生回路13が出力する制御信号は、アップダウンカウンタ2が出力していたものと同じビット数の信号である。

【0014】図2は、位相比較器11の構成を示す回路図である。この実施例では説明を簡単にするため、6個のフリップフロップ回路を並列に示した例を示す。図2において、15は内部クロック信号7を遅延させて遅延量の異なる複数の第1の遅延クロック信号X1～X3を生成する第1の遅延付加回路、16は外部クロック信号6を遅延させて遅延量の異なる複数の第2の遅延クロッ

50

7

ク信号Y1~Y3を生成する第2の遅延付加回路17は第1の遅延付加回路16が出力した複数の第1の遅延クロック信号X1~X3のそれぞれに対し外部クロック信号8が遅れているか否かを検出する第1の検出回路、18は第2の遅延付加回路16が出力した複数の第2の遅延クロック信号Y1~Y3のそれぞれに対し内部クロック信号7が遅れているか否かを検出する第2の検出回路、19は第1および第2の検出回路17、18の検出結果から外部クロック信号8と内部クロック信号7の差み遅れの情報およびズレの程度を含む比較結果を出力する判定回路である。

【0015】第1および第2の遅延付加回路15、16は、それぞれ3個の遅延素子3で構成されている。第1の遅延付加回路15において、3個の遅延素子3は直列に接続され、内部クロック信号7は一つ目の遅延素子3によって遅延されて第1の遅延クロック信号X1となり、2番目までの2つの遅延素子3によって遅延されて第1の遅延クロック信号X2となり、全ての遅延素子3を経て第1の遅延クロック信号X3となる。第2の遅延付加回路16において、3個の遅延素子3は直列に接続され、外部クロック信号8は一つ目の遅延素子3によって遅延されて第2の遅延クロック信号Y1となり、2番目までの2つの遅延素子3によって遅延されて第2の遅延クロック信号Y2となり、全ての遅延素子3を経て第2の遅延クロック信号Y3となる。

【0016】第1の検出回路17は、フリップフロップ回路21~23で構成されており、その構成は図7に示したフリップフロップ回路20と同様である。1番目のフリップフロップ回路21は、そのD端子に第1の遅延クロック信号X3が与えられ、そのT端子に外部クロック信号8が与えられる。2番目のフリップフロップ回路22は、そのD端子に第1の遅延クロック信号X2が与えられ、そのT端子に外部クロック信号8が与えられる。3番目のフリップフロップ回路23は、そのD端子に第1の遅延クロック信号X1が与えられ、そのT端子に外部クロック信号8が与えられる。

【0017】第2の検出回路18は、フリップフロップ回路24~26で構成されている。4番目のフリップフロップ回路24は、そのT端子に第2の遅延クロック信号Y1が与えられ、そのD端子に内部クロック信号7が与えられる。5番目のフリップフロップ回路25は、そのT端子に第2の遅延クロック信号Y2が与えられ、そのD端子に内部クロック信号7が与えられる。6番目のフリップフロップ回路26は、そのT端子に第2の遅延クロック信号Y3が与えられ、そのD端子に内部クロック信号7が与えられる。

【0018】判定回路19は、フリップフロップ回路21~26より一つ少ない5つの2入力AND回路31~35で構成されている。AND回路31は、その一方の入力端子にフリップフロップ回路21のQC出力が与え

(5)

特開平10-13219

8

られ、その他方の入力端子にフリップフロップ回路22のQ出力が与えられる。AND回路32は、その一方の入力端子にフリップフロップ回路22のQC出力が与えられ、その他方の入力端子にフリップフロップ回路23のQ出力が与えられる。AND回路33は、その一方の入力端子にフリップフロップ回路23のQC出力が与えられ、その他方の入力端子にフリップフロップ回路24のQ出力が与えられる。AND回路34は、その一方の入力端子にフリップフロップ回路24のQC出力が与えられ、その他方の入力端子にフリップフロップ回路25のQ出力が与えられる。AND回路35は、その一方の入力端子にフリップフロップ回路25のQC出力が与えられ、その他方の入力端子にフリップフロップ回路26のQ出力が与えられる。

【0019】例えば、初期状態で、外部クロック信号6に対し内部クロック信号7が遅延素子3の2、5個分の時間だけ遅れているとする。この場合の位相比較器11の各フリップフロップ回路21~26の出力状態を示したものが表1である。

【0020】

【表1】

	Q	QC		Y
21	Lo	Hi	31	Lo
22	Lo	Hi	32	Lo
23	Lo	Hi	33	Lo
24	Lo	Hi	34	Lo
25	Lo	Hi	35	Hi
26	Hi	Lo		



AND入力

【0021】フリップフロップ回路25のQC出力と、フリップフロップ回路26のQ出力がともにハイレベルであるので、AND回路35の出力8-2のみハイレベルになる。すなわち、判定回路19は、内部クロック信号7は、外部クロック信号8に比べて遅延素子3の遅延時間の2倍以上遅れているという判定結果を制御信号発生回路13に対し出力する。この判定結果を受けて、制御信号発生回路13は、遅延素子3を2個分減らす信号をマルチプレクサ4に伝送する。外部クロック信号8が經由する遅延素子3が2個減った後の比較器11の各フリップフロップ回路の出力状態を表2に示す。

【0022】

【表2】

50



特開平 10-13218

19

	Q	QC		Y
21	Lo	Hi	31	Lo
22	Lo	Hi	32	Lo
33	Lo	Hi	33	Hi
24	Hi	Lo	34	Lo
25	Hi	Lo	35	Lo
26	Hi	Lo		

【0029】この状態では、外部クロック信号6に対し、内部クロック信号7が遅延素子3の0.5個分の時間だけ遅れて、フリップフロップ回路23のQC出力と、フリップフロップ回路24のQ出力の両方にハイレベルであるので、AND回路33の出力10のみがハイレベルとなる。すなわち、判定回路は、内部クロック信号7に対する外部クロック信号6の遅れが遅延素子3一個分の遅延時間以内に収まっており、位相同期が完了したことを示す。しかしながら、依然として遅延素子0.5個分のズレは存在するが、遅延素子1個の遅延時間よりも小さいので、ズレをそれ以上補めることはできず、位相誤差として現れる。この遅延素子3一個分の遅延時間が、D/L回路の時間分延能といえる。このように、一回の位相比較で外部クロック信号6と内部クロック信号7の位相同期を行うことができる。

【0024】もし、AND回路31の出力9・2がハイレベルならば、一度に、遅延素子3の2個分の遅延時間を増やし、AND回路32の出力9・1がハイレベルならば、遅延素子3の1個分の遅延時間を増やし、AND回路33の出力10がハイレベルならば、遅延素子3の増延はせず、AND回路34の出力8・1がハイレベルならば、遅延素子3の1個分の遅延時間を減らし、AND回路35の出力8・2がハイレベルならば、遅延素子3の2個分の遅延時間を減らし、最終的にAND回路33の出力10、すなわちロック（Lock）信号がハイレベルになれば、位相同期が完了したことになる。これら、AND回路31、32が第1の判別回路に属し、AND回路33が第2の判別回路に属し、AND回路34、35が第3の判別回路に属する。

【0225】図3は、位相比較器11の位相比較特性を示すグラフである。横軸は外部クロック信号6と内部クロック信号7のズレの程度で、グラフの横軸のプラス側は内部クロック信号7が遅れていることを表し、マイナス側は内部クロック信号7が速んでいることを表している。縦軸は、位相比較器11の出力、すなわち一回の位相比較で増減する選定素子の数である。このグラフからわかるように、外部クロック信号6に対し内部クロック信号7が遅れていれば、そのズレの程度に応じた

遅延素子の個数分だけ遅延時間を増やすアップ信号8を出力し、外部クロック信号に対し内部クロック信号7が走るといえばそのズレの程度に応じた遅延素子の個数分だけ遅延時間を増やすダウン信号9を出力する。その結果、位相特性は簡易的ではあるが、線形なものになる。図3から分かるように、従来のDSL回路では、ズレが0の近傍にあるときでも0を通えるか通えないかによって遅延素子の切替が行われていた。それに対し、この実施の形態1によるDSL回路では、ズレが0の近傍では通みきれない調整のための遅延素子の個数の変更が行われない。外部クロック信号8と内部クロック信号7のズレがない状態が最も簡単に実現される状態であるため、0の近傍で遅延素子の個数の切替が行われないことは、ノイズの原因や消費電力を抑制できるという効果がある。

【0026】上述の例では、説明を簡単にするため、6個のフリップフロップ回路を使用した位相比較器11を構成したので、1回の位相比較について遅延素子3個分のズレまでの判定しかできないが、使用するフリップフロップ回路の個数を増やせば、より広範囲のズレ判定が感測に行える。

【0027】実施の形態2。図4は、この発明の実施の形態2によるDL回路に用いられる位相比較器の構成を示す回路図である。実施の形態2によるDL回路は、図1に示した位相比較器1の構成が実施の形態1によるDL回路と異なるだけである。図4において、3は内部クロック信号7を遅延させて遅延量の異なる複数の第1の遅延クロック信号4〜7を生成する第1の遅延付加回路、37は外部クロック信号6を遅延させて遅延量の異なる複数の第2の遅延クロック信号4〜7を生成する第2の遅延付加回路、38は第1の遅延付加回路36が出力した複数の第1の遅延クロック信号4〜7のそれぞれに対し内部クロック信号7が遅れているか否かを検出する第1の検出回路、39は第2の遅延付加回路37が出力した複数の第2の遅延クロック信号4〜7のそれぞれに対し外部クロック信号6が遅れているか否かを検出する第2の検出回路、40は第1および第2の検出回路38、39の検出結果から外部クロック信号6と内部クロック信号7の進み遅れの情報およびブレの程度を含む比較結果を出力する判定回路である。

【0028】図4からわかるように、整数の第1の遅延クロック信号X4～X7の遅延量が、等差級数的でなくその差が漸次増加するよう重み付けがなされている。第1の遅延クロック信号X4は、内部クロック信号7に対して遅延素子3の1個分の遅延時間が付加されており、同様に第1の遅延クロック信号X5は遅延素子3の2個分の遅延時間が付加されており、同様に第1の遅延クロック信号X6は遅延素子3の4個分の遅延時間が付加されており、同様に第1の遅延クロック信号X7は遅延素子3の8個分の遅延時間が付加されている。すなわち、第

11

1の遅延クロック信号X4~X7の構成するもの同士の遅延時間の差は、遅延素子3の1個分、2個分、4個分と漸次増加している。後述の第2の遅延クロック信号Y4~Y7の遅延量も、等量級数的でなくその差が漸次増加するように重み付けされていることも同様である。

【0029】第1の検出回路38は、フリップフロップ回路41~44で構成されており、その性能は図7に示したフリップフロップ回路26と同様である。1番目のフリップフロップ回路41は、そのD端子に第1の遅延クロック信号X7が与えられ、そのT端子に外部クロック信号6が与えられる。2番目のフリップフロップ回路42は、そのD端子に第1の遅延クロック信号X6が与えられ、そのT端子に外部クロック信号6が与えられる。3番目のフリップフロップ回路43は、そのD端子に第1の遅延クロック信号X5が与えられ、そのT端子に外部クロック信号6が与えられる。4番目のフリップフロップ回路44は、そのD端子に第1の遅延クロック信号X4が与えられ、そのT端子に外部クロック信号6が与えられる。

【0030】第2の検出回路39は、フリップフロップ回路45~48で構成されている。5番目のフリップフロップ回路45は、そのD端子に内部クロック信号7が与えられ、そのT端子に第2の遅延クロック信号Y4が与えられる。6番目のフリップフロップ回路46は、そのD端子に内部クロック信号7が与えられ、そのT端子に第2の遅延クロック信号Y5が与えられる。7番目のフリップフロップ回路47は、そのD端子に内部クロック信号7が与えられ、そのT端子に第2の遅延クロック信号Y6が与えられる。8番目のフリップフロップ回路48は、そのD端子に内部クロック信号7が与えられ、そのT端子に第2の遅延クロック信号Y7が与えられる。

【0031】判定回路40は、フリップフロップ回路41~48より一つ少ない7つの2入力AND回路51~57で構成されている。AND回路51は、その一方の入力端子にフリップフロップ回路41のQC出力が与えられ、その他方の入力端子にフリップフロップ回路42のQ出力が与えられる。AND回路52は、その一方の入力端子にフリップフロップ回路42のQC出力が与えられ、その他方の入力端子にフリップフロップ回路43のQ出力が与えられる。AND回路53は、その一方の入力端子にフリップフロップ回路43のQC出力が与えられ、その他方の入力端子にフリップフロップ回路44のQ出力が与えられる。AND回路54は、その一方の入力端子にフリップフロップ回路44のQC出力が与えられ、その他方の入力端子にフリップフロップ回路45のQ出力が与えられる。AND回路55は、その一方の入力端子にフリップフロップ回路45のQC出力が与えられ、その他方の入力端子にフリップフロップ回路46のQ出力が与えられる。AND回路56は、その一方の入力端子にフリップフロップ回路46のQC出力が与えられ、その他方の入力端子にフリップフロップ回路47のQ出力が与えられる。AND回路57は、その一方の入力端子にフリップフロップ回路47のQC出力が与えられ、その他方の入力端子にフリップフロップ回路48のQ出力が与えられる。

(7)

特開平10-13819

12

入力端子にフリップフロップ回路48のQC出力が与えられ、その他方の入力端子にフリップフロップ回路47のQ出力が与えられる。AND回路57は、その一方の入力端子にフリップフロップ回路47のQC出力が与えられ、その他方の入力端子にフリップフロップ回路48のQ出力が与えられる。AND回路51~52は第1の判定回路に属し、AND回路54は第3の判定回路に属し、AND回路55~57は第2の判定回路に属する。

【0032】例えば、初期状態で、外部クロック信号6に対し内部クロック信号7が遅延素子3の7.5個分の時間だけ遅れているとする、この場合の位相比較値11の各フリップフロップ回路41~48の出力状態を示したものが表3である。

【0033】

【表3】

	Q	QC		Y
41	Lo	Hi	51	Lo
42	Lo	Hi	52	Lo
43	Lo	Hi	53	Lo
44	Lo	Hi	54	Lo
45	Lo	Hi	55	Lo
46	Lo	Hi	56	Lo
47	Lo	Hi	57	Hi
48	Hi	Lo		

【0034】フリップフロップ回路47のQC出力と、フリップフロップ回路48のQ出力がともにハイレベルであるので、AND回路57の出力8-3のみハイレベルとなる。すなわち、判定回路40は、外部クロック信号6に対し内部クロック信号7が遅延素子3の遅延時間4個分以上遅れていることを示す判定結果を出力する。この判定結果を受けて、制御信号発生回路13は、遅延素子3を4個分減らすという信号をマルチプレクサ4へ出力する。

【0035】次の位相比較の時には外部クロック信号6に対し内部クロック信号7が遅延素子3の3.5個分の時間だけ遅れている。この場合の位相比較値11の各フリップフロップ回路41~48の出力状態を示したものが表4である。

【0036】

【表4】

13

	Q	QC		Y
41	Lo	Hi	51	Lo
42	Lo	Hi	52	Lo
43	Lo	Hi	53	Lo
44	Lo	Hi	54	Lo
45	Lo	Hi	55	Lo
46	Lo	Hi	56	Hi
47	Hi	Lo	57	Lo
48	Hi	Lo		

【0037】フリップフロップ回路46のQC出力と、フリップフロップ回路47のQ出力がともにハイレベルであるので、AND回路58の出力8-2のみハイレベルとなる。すなわち、判定回路40は、外部クロック信号6に対し内部クロック信号7が遅延素子3の遅延時間2個分以上4個分以下の遅れを有していることを示す判定結果を出力する。この判定結果を受けて、制御信号発生回路13は、遅延素子3の2個分の遅延時間を減らすという信号をマルチプレクサ4へ出力する。

【0038】次の位相比較の時には外部クロック信号6に対し内部クロック信号7が遅延素子3の1.5個分の時間だけ遅れている。この場合の位相比較器11の各フリップフロップ回路41~48の出力状態を示したものが表5である。

【0039】
【表5】

	Q	QC		Y
41	Lo	Hi	51	Lo
42	Lo	Hi	52	Lo
43	Lo	Hi	53	Lo
44	Lo	Hi	54	Lo
45	Lo	Hi	55	Hi
46	Hi	Lo	56	Lo
47	Hi	Lo	57	Lo
48	Hi	Lo		

【0040】フリップフロップ回路45のQC出力と、フリップフロップ回路46のQ出力がともにハイレベル

(8)

特開平10-13219

14

であるので、AND回路55の出力8-1のみハイレベルとなる。すなわち、判定回路40は、外部クロック信号6に対し内部クロック信号7が遅延素子1個分以上2個分以下の遅れを有していることを示す判定結果を出力する。遅延素子1個分減らすという信号を制御信号発生回路13に入力する。

【0041】次の位相比較の時には外部クロック信号6に対し内部クロック信号7が遅延素子3の0.5個分の時間だけ遅れている。この場合の位相比較器11の各フリップフロップ回路41~48の出力状態を示したものが表6である。

【0042】

【表6】

	Q	QC		Y
41	Lo	Hi	51	Lo
42	Lo	Hi	52	Lo
43	Lo	Hi	53	Lo
44	Lo	Hi	54	Hi
45	Hi	Lo	55	Lo
46	Hi	Lo	56	Lo
47	Hi	Lo	57	Lo
48	Hi	Lo		

【0043】フリップフロップ回路44のQC出力と、フリップフロップ回路45のQ出力がともにハイレベルであるので、AND回路54の出力10、すなわちクロック信号のみハイレベルとなる。すなわち、判定回路40は、外部クロック信号6に対し内部クロック信号7が遅延素子3の1個分未満の遅れしか有していないことを示す判定結果を出力する。この判定結果を受けて、制御信号発生回路13は、その出力を変更せず、位相同期が完了したことになる。このように、7.5個分のズレでは4段階の位相比較で位相同期が完了する。従来では7.5個分のズレでは7段階の位相比較を行わなければならないのに対し、この実施形態によるDLL回路では位相同期時間の短縮を図ることができる。

【0044】もし、AND回路51の出力9-3がハイレベルならば、一度に、遅延素子3の4個分の遅延時間を増やし、AND回路52の出力9-2がハイレベルならば、遅延素子3の2個分の遅延時間を増やし、AND回路53の出力9-1がハイレベルならば、遅延素子3の1個分の遅延時間を増やし、AND回路54の出力10がハイレベルならば、遅延時間の増減はせず、AND回路55の出力8-1がハイレベルならば、遅延素子3

(9)

特開平10-13219

15

の1個分の遅延時間を減らし、AND回路56の出力8・2がハイレベルならば、遅延素子3の2個分の遅延時間を減らし、AND回路57の出力8・3がハイレベルならば、遅延素子3の4個分の遅延時間を減らし、最終的にAND回路54の出力10がハイレベルになれば、位相同期が完了したことになる。

【0045】比較器の位相比較特性を示すグラフを図7に示す。横軸は外部クロック信号6と内部クロック信号7のズレの程度で、グラフの横軸のプラス領域は内部クロック信号7が遅れていることを示し、マイナス領域は内部クロック信号7が進んでいることを示している。縦軸は、位相比較器11の出力、すなわち一回の位相比較で増減する遅延素子の数である。このグラフからわかるように、外部クロック信号8に対し内部クロック信号7が遅れていれば、そのズレの程度に応じて遅延素子を増やすアップ信号8を出力し、外部クロック信号8に対し内部クロック信号7が進んでいればそのズレの程度に応じて遅延素子を減らすダウン信号9を出力する。

【0046】実施の形態1によるD.L.L.回路では、フリップフロップ回路21～26に接続する遅延素子3の遅延時間の1個分ずつで変えていたが、実施の形態2のD.L.L.回路のように遅延素子3の遅延時間の1個分、2個分、4個分、8個分というように置き付けして変えると、実施の形態1のD.L.L.回路と同じく遅延時間に応じた比較結果を出力することができ、更に、同じズレ判定範囲の場合、使用するフリップフロップ回路の個数を減らすことができる。但し、実施の形態2によるD.L.L.回路の場合は1回の位相比較では同期できず、数回の位相比較を行い、段階的に位相同期を行うことになる。

【0047】実施の形態3、以上の実施の形態1、2によるD.L.L.回路を構成するトランジスタのゲート長、ゲート幅などの各トランジスタサイズは、特に制限されるものではないが、SOG (Sea Of Gates: ゲート敷き詰め型ゲートアレイ) のような、同じサイズのトランジスタが規則的に配列されているチップ上にも実現することができる。

【0048】図6はこの発明の実施の形態3によるD.L.L.回路の構成を示す平面図である。図6において、60はSOGの半導体チップ、61は半導体チップ60の内部トランジスタ領域、14a～14dは内部トランジスタ領域60の西側に形成されたD.L.L.回路、62は内部トランジスタ領域60の一部の領域、63は半導体チップ60上の内部トランジスタ領域60の周囲に配置された入力/出力バッファ領域、64は半導体チップ60上の入/出力バッファ領域63の周囲に配置されたパッド領域、65は内部トランジスタ領域61に設けられたトランジスタゲートである。内部トランジスタ領域61は、全体にわたる一部の領域62と同じように、ゲート長、ゲート幅が同じトランジスタが規則正しく配列されている。

15

【0049】アナログPLL回路においてはノイズ対策などの理由から、アナログ回路部分とディジタル回路部分とを分離させなければならず、レイアウト上の制約が多い。一方、D.L.L.回路においてはアナログ回路を使用していないので、SOGのような、チップの内部領域に同じサイズのトランジスタが規則正しく配列されている半導体チップ60上に実現することができる。この場合、図6のように、チップ60上の任意の位置に任意の個数だけ、実施の形態1および/または実施の形態2によるD.L.L.回路14を配置することが可能である。

【0050】D.L.L.回路14を複数個搭載することによる効果として、外部クロックの位相に合わせる内部クロックの遅延が増えるので、チップ内部全体のクロックスキューをより小さく抑えることが可能となる。図7は、一つの半導体チップ上に複数のD.L.L.回路を設けたときのD.L.L.回路とクロックバッファとの関係を示す概念図である。図7において、70は外部クロック信号CLKを受けて内部に分配するメインクロックバッファ、71～74はメインクロックバッファ70から受けたクロック信号をバッファするサブクロックバッファ、61a～61dはそれぞれサブクロックバッファ71～74からクロック信号の供給を受ける内部トランジスタ領域61に設けられた部分回路である。このように各サブクロックバッファ71～74の出力をそれぞれD.L.L.回路14a～14dを介して部分回路61a～61dに分配することにより、サブクロックバッファ71～74の負荷の違いによるクロックスキューの違いを低減できる。

【0051】なお、上記実施の形態3は、外部クロック信号6と内部クロック信号7のデューティ比が同じ場合について説明したが、クロックドライバ5がマルチプレクサ4から出力されるクロック信号を所望のデューティ比に生成することができ、図2および図4に示した比較器11は、第1および第2の検出回路において第1および第2の遅延クロック信号を用いて比較をしているので、デューティ比が異なる場合においても外部クロック信号6と内部クロック信号7の信号の立ち上がりのタイミングを比較して、そのズレを比較することができ、位相を比較する場合と同様の効果を奏する。また、上記各実施の形態での遅延素子には便宜的にインバータ回路を使用したか、信号を遅延させる回路であるなら、他のものであってもよく上記各実施の形態と同様の効果を有する。

【0052】

【発明の効果】以上のように請求項1記載のクロック信号のズレを防止する回路によれば、比較器で外部クロック信号と内部クロック信号の比較を行ったときの比較結果の中に読み遅れの情報およびズレの程度が含まれており、誤検出信号発生回路は、前記遅延回路が一度に発生させる遅延素子の個数を、読み遅れの情報およびズレの程度に応じて増減させるので、読み遅れの情報のみに対応

17

て遅延素子を増減させる場合に比べて、ズレを修正するまでの時間を短縮することができるという効果がある。

【0053】請求項2記載の発明のクロック信号のズレを防止する回路によれば、第1および第2の遅延付加回路によりそれぞれ内部クロック信号および外部クロック信号を遅延させて遅延量の異なる複数の第1および第2の遅延クロック信号を生成し、それぞれ第1および第2の検出回路で複数の第1および第2の遅延クロック信号のそれぞれに対し外部クロック信号および内部クロック信号が遅れているか否かを検出するよう構成されているので、内部クロック信号と外部クロック信号のデューティ比が異なってもそれらの信号のズレを比較することができ、汎用性のあるクロック信号のズレを防止する回路が得られるという効果がある。

【0054】請求項3記載の発明のクロック信号のズレを防止する回路によれば、複数の第1および第2の遅延クロック信号の遅延量に重み付けがなされているので、回路規模を小さくすることができるという効果がある。

【0055】請求項4記載の発明のクロック信号のズレを防止する回路によれば、第3の判別回路により、複数の第1の遅延クロック信号の中の遅延量が最も小さい第1の遅延クロック信号をデータとして取り込む第1のフリップフロップ回路の出力と、複数の第2の遅延クロック信号の中の遅延量が最も小さい第2の遅延クロック信号をデータ取り込みのタイミングを与える信号として用いる第2のフリップフロップ回路の出力とを比較し、その異同を判別するので、外部クロック信号と内部クロック信号との間で遅延がほとんどない場合に、遅延素子の個数を変化させる回路を抑制することができるという効果

(10)

特開平10-13219

18

* 果がある。

【図面の簡単な説明】

【図1】 この発明の実施の形態1によるDLL回路の構成を示すブロック図である。

【図2】 図1に示した位相比較器の構成を示す回路図である。

【図3】 図2に示した位相比較器の位相比較特性を示すグラフである。

【図4】 この発明の実施の形態2による位相比較器の構成を示す回路図である。

【図5】 図4に示した位相比較器の位相比較特性を示すグラフである。

【図6】 この発明の実施の形態3によるDLL回路の構成を示す平面図である。

【図7】 図6のDLL回路の使用形態を示す概念図である。

【図8】 従来のDLL回路の構成を示すブロック図である。

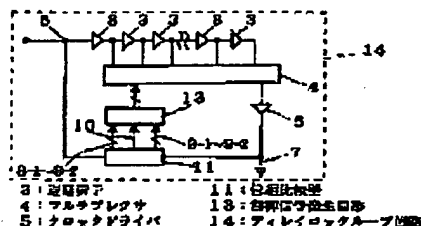
【図9】 従来のDLL回路に用いられる位相比較器の構成を示す回路図である。

【図10】 従来のDLL回路の位相比較特性を示すグラフである。

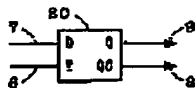
【符号の説明】

3 遅延素子、4 マルチプレクサ、5 クロックドライバ、11 位相比較器、13 制御信号発生回路、14、14a~14d デレイロックループ回路、15、36 第1の遅延付加回路、16、37 第2の遅延付加回路、17、38 第1の検出回路、18、39 第2の検出回路、19、40 判定回路。

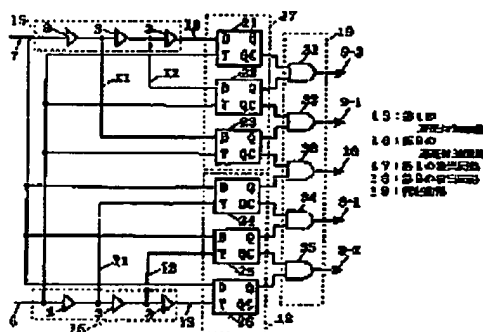
【図1】



【図9】



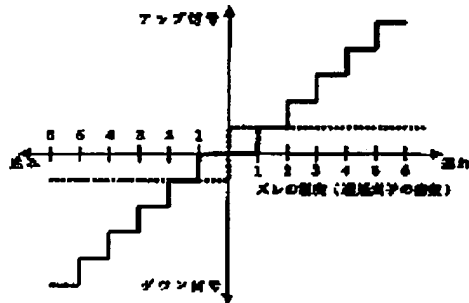
【図2】



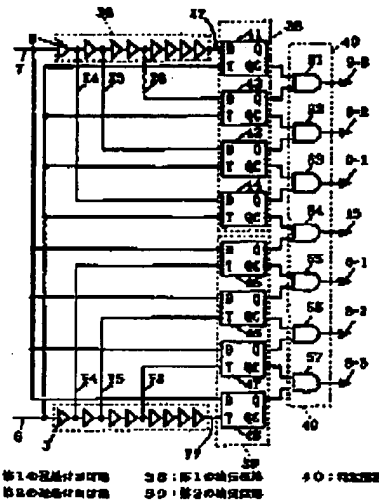
(11)

特開平10-13219

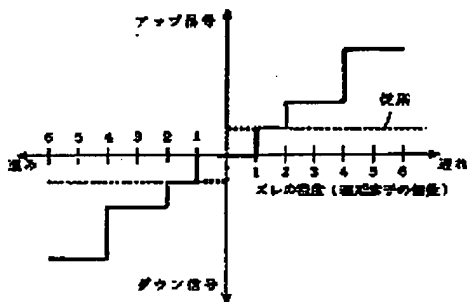
【図3】



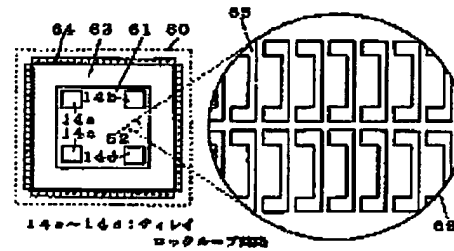
【図4】



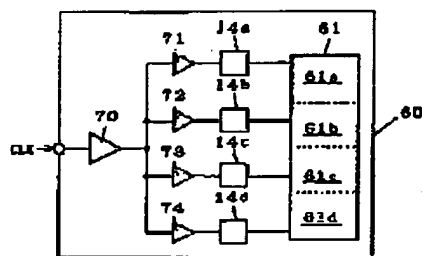
【図5】



【図6】



【図7】



【図8】

